Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 4

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Сравнение протоколов Port-Level I/O

Задание 1

Студенты: Соболь В.

Темнова А. С.

Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 3](#_Toc26404069)

[2. Скрипт для выполнения работы 6](#_Toc26404070)

[3. Первое решение 6](#_Toc26404071)

[3.1. Моделирование 6](#_Toc26404072)

[3.2. Синтез 7](#_Toc26404073)

[3.3. C|RTL моделирование 9](#_Toc26404074)

[4. Второе решение 10](#_Toc26404075)

[4.1. Моделирование 10](#_Toc26404076)

[4.2. Синтез 10](#_Toc26404077)

[4.3. C|RTL моделирование 12](#_Toc26404078)

[5. Выводы 13](#_Toc26404079)

1. Задание

* Создать проект lab4\_1
* Подключить файл lab4\_1.c (папка source)
* Создать тест lab4\_1\_test.c на основе теста lab1\_1\_test.c
* Микросхема: xa7a12tcsg325-1q
* Сделать solution1
  + задать: clock period 6; clock\_uncertainty 0.1
  + осуществить моделирование
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * Performance Profile
      * interface estimates=>summary
        + объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Сделать solution2
  + Задать протоколы
    - a: ap\_hs
    - b: ap\_ask
    - \*c: ap\_hs
    - \*d: ap\_vld
    - \*p\_y: ap\_ask
  + осуществить моделирование
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * Performance Profile
      * interface estimates=>summary
        + объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Выводы
  + Объяснить отличие протоколов port\_level

Исходные файлы с кодом устройства и теста приведены ниже.

Исходный код:

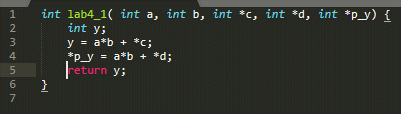


Рис. 1.1. Исходный код

Код теста:

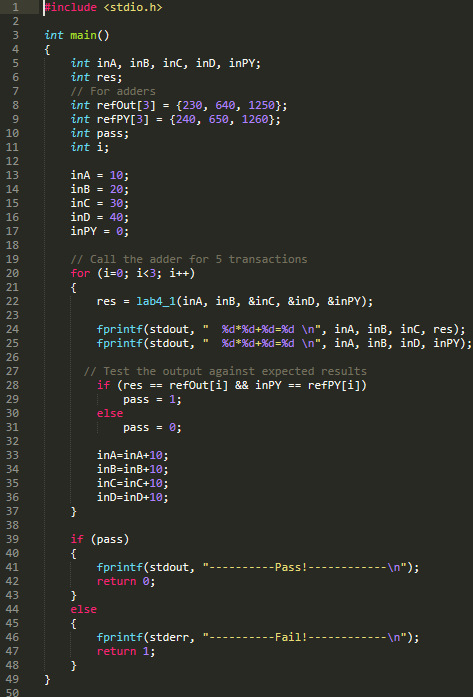


Рис. 1.2. Код теста

1. Скрипт для выполнения работы

Ниже приведён скрипт, который был написан для автоматизации выполнения работы.

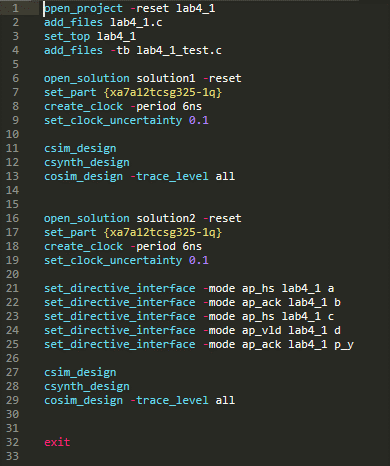


Рис 2.1. Скрипт выполнения работы

1. Первое решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

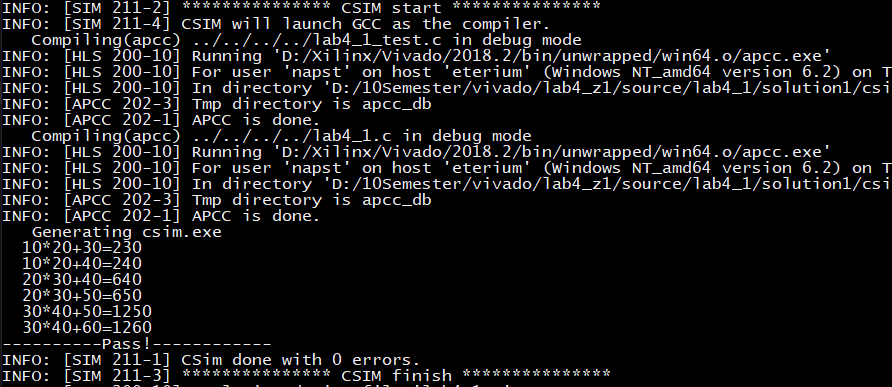


Рис 3.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 5.9нс, а latency составляет 3 такта.

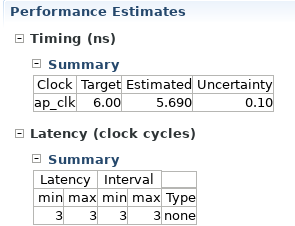


Рис. 3.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 154 LUT.

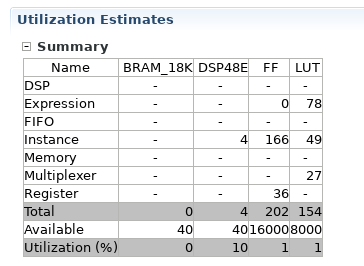


Рис. 3.3. Оценка использования ресурсов

По профилю производительности, можно сказать, что latency составляет 3 такта, а II 4 такта.

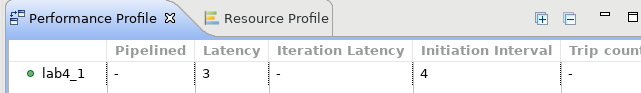


Рис. 3.4. Профиль производительности

Ниже приведён список портов устройства с указанием их протокола.

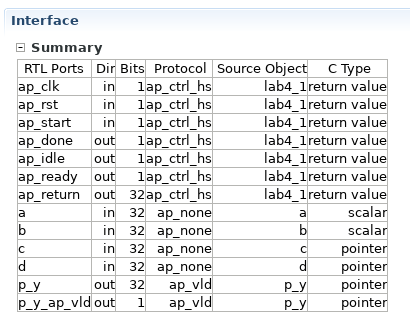


Рис. 3.5. Список портов

По списку выше, можно сделать вывод, что для возвращаемого значения используется протокол ap\_ctrl\_hs, который устанавливается по-умолчанию, для аргументов используется протокол ap\_none, а для аргументов с сылочным типом данных устанавливается ap\_vld.

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

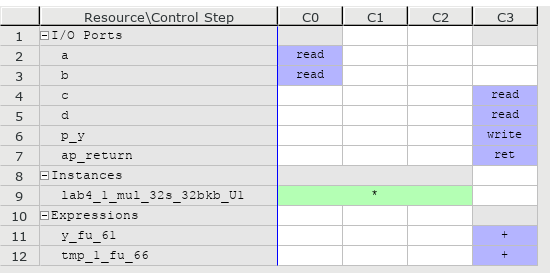


Рис. 3.6. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

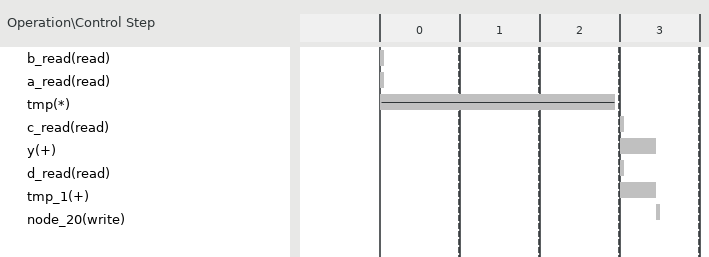


Рис. 3.7. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 3 такта, а II – 4 такта.

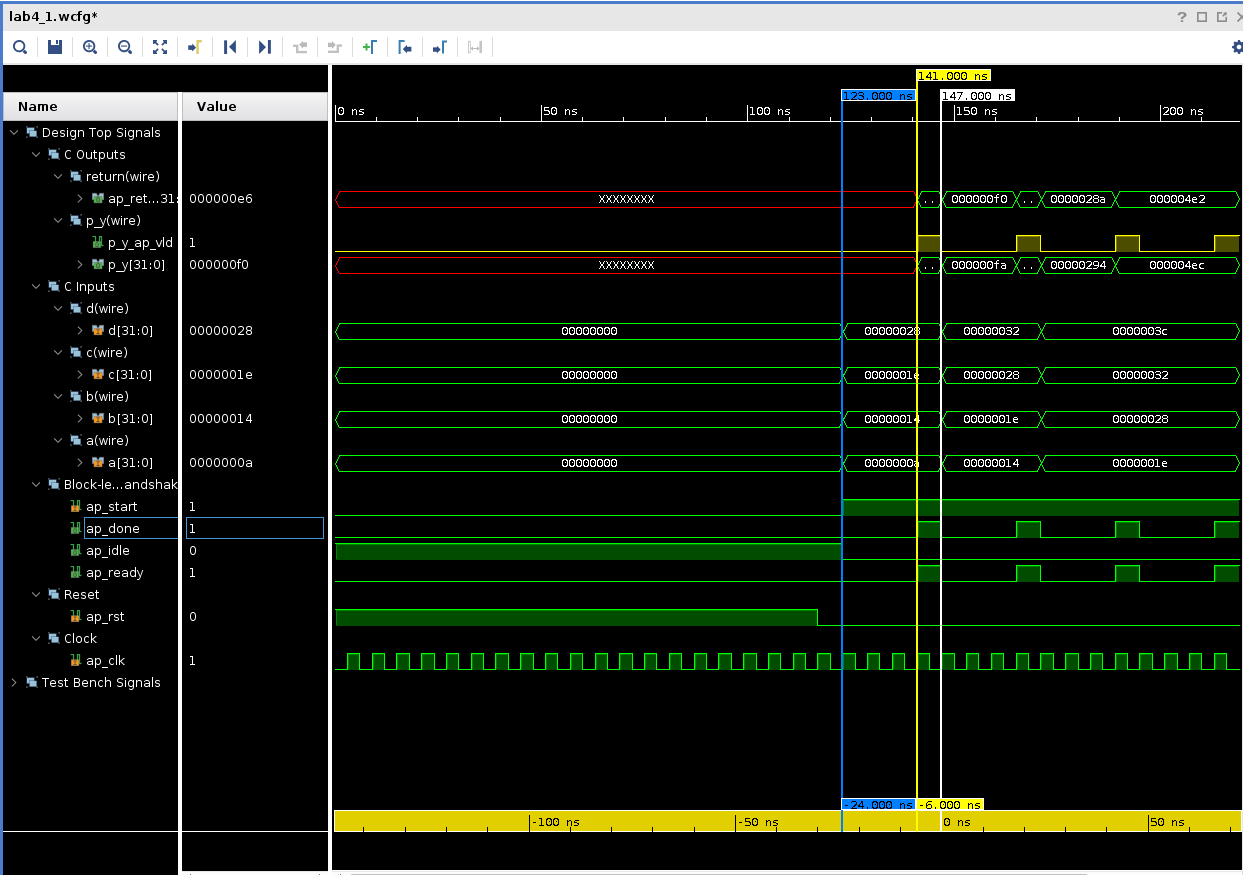


Рис. 3.8. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

1. Второе решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

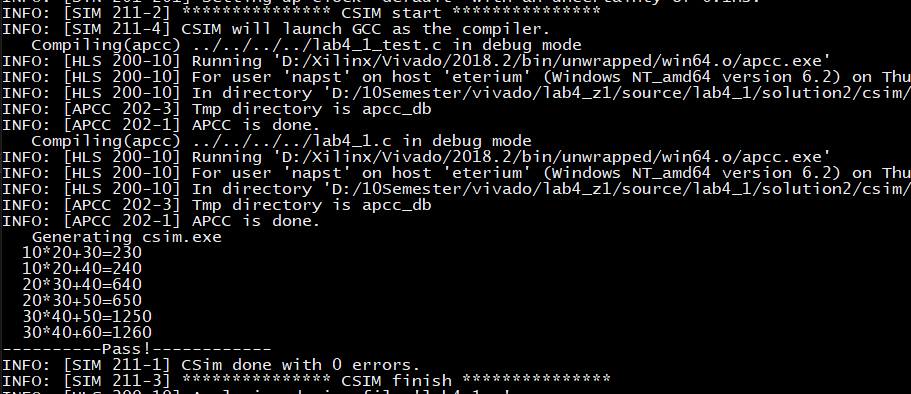


Рис 4.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 5.6нс, а latency составляет 3 такта.

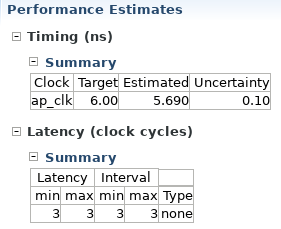


Рис. 4.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 234 LUT.

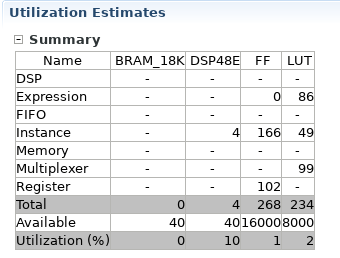


Рис. 4.3. Оценка использования ресурсов

По профилю производительности, можно сказать, что latency составляет 3 такта, а II 4 такта.

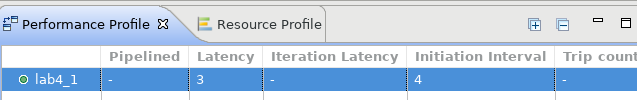


Рис. 4.4. Профиль производительности

Ниже приведён список портов устройства с указанием их протокола.

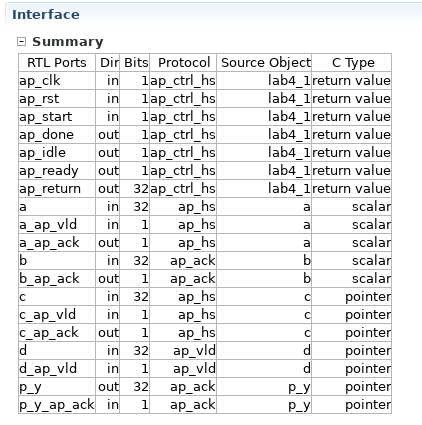


Рис. 4.5. Список портов

По списку выше, можно сделать вывод, что для возвращаемого значения используется протокол ap\_ctrl\_hs, а для аргументов используется протоколы, которые были установлены:

* a: ap\_hs
* b: ap\_aсk
* c: ap\_hs
* d: ap\_vld
* p\_y: ap\_aсk

Стоит отметить, что в зависимости от протокола отличается количество дополнительных сигналов.

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

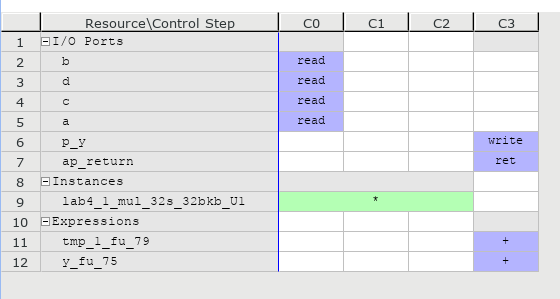


Рис. 4.6. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

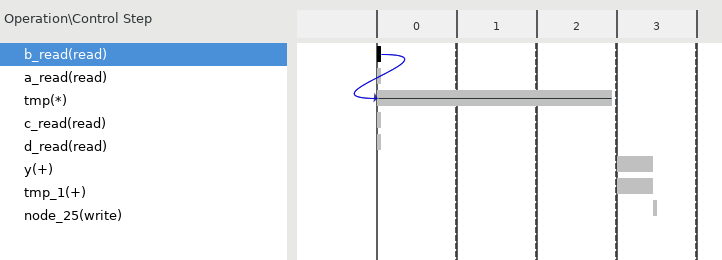


Рис. 4.7. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 3 такта, а II – 4 такта.

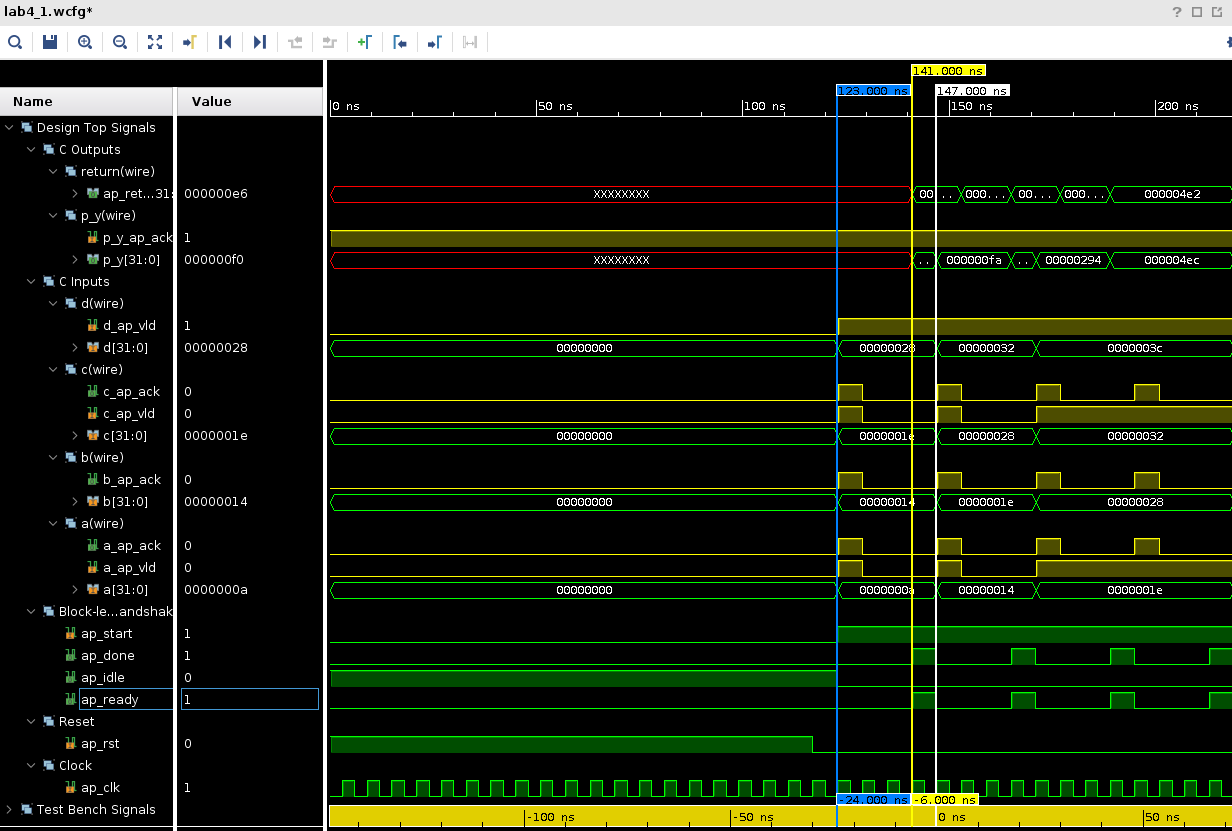


Рис. 4.8. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

1. Выводы

В ходе работы были рассмотрены разные протоколы Port-Level I/O, а именно:

* ap\_aсk
* ap\_hs
* ap\_vld

Отличие протоколов состоит в количестве дополнительных входов/выходов которые соответствуют определенным целям.